udemy

Số giấy chứng nhận: UC-f05422d7-bd68-4840-8fbc-44af95b7f313
URL giấy chứng nhận: ude.my/UC-f05422d7-bd68-4840-8fbc-44af95b7f313
Số tham chiếu: 0004

GIẤY CHỨNG NHẬN HOÀN THÀNH

System Design using Verilog

Giảng viên **Dr. Yogesh Misra**

Nguyễn Vũ

Ngày **Ngày 26 tháng 5 năm 2026**
Thời lượng **Tổng số 30.5 giờ**